

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-100987

(43)Date of publication of application : 07.04.2000

(51)Int.Cl. H01L 23/12  
H05K 3/46

(21)Application number : 10-264410

(71)Applicant : NEC CORP  
FUCHIGAMI MICRO:KK

(22)Date of filing : 18.09.1998

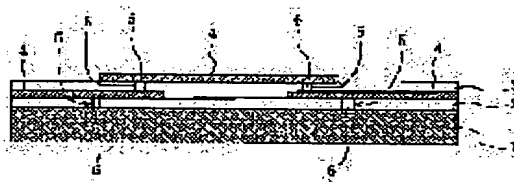
(72)Inventor : HIRASAWA HIROKI  
ONO TERUO

(54) SEMICONDUCTOR CHIP MODULE MULTILAYER CIRCUIT BOARD AND MANUFACTURE THERE OF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor chip multilayer circuit board suitable for high-density wiring.

SOLUTION: A metal plate 1 is used as a base board, and insulating layers 2 and 3 that are each possessed of a fixed potential wiring 4 are laminated on the metal plate 1, the metal plate 1 is used as a fixed potential, the insulating layers 2 and 3 are each possessed of a viahole 5 filled up with a metal 6, the fixed potential wirings 4 on the insulating layers 2 and 3 are connected to the metal plate 1 with the metals 6 filled into the viaholes 5.



## LEGAL STATUS

[Date of request for examination] 18.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3119630

[Date of registration] 13.10.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

中華民國專利公報 [19] [12]

[11]公告編號：444529

[44]中華民國 90年 (2001) 07月 01日

發明

全 7 頁

[51] Int.Cl 06: H05K3/46

[54]名 稱：半導體晶片模組用多層電路基板及其製造方法

[21]申請案號：088116177

[22]申請日期：中華民國 88年 (1999) 09月 17日

[30]優先權：[31]10-264410

[32]1998/09/18

[33]日本

[72]發明人：

平澤宏希

日本

小野輝生

日本

[71]申請人：

日本電氣股份有限公司

日本

瀨上米克羅股份有限公司

日本

[74]代理人：周良謀 先生

周良吉 先生

1

2

[57]申請專利範圍：

1. 一種半導體晶片模組用之多層電路基板，包含：

底層基板(1)，具有由金屬材料所形成之主表面，一固定電壓施加於該主表面上；

複數個絕緣層(2，3)，堆疊於該底層基板之該主表面上，且具有形成於該複數個絕緣層之表面上之複數個配線層；

複數個固定電位配線層(4)，構成形成於該複數個絕緣層上之該配線層之部份；

複數個通道孔(5)，形成於該固定電位配線層之下，穿過該複數個絕緣層而延伸出；以及

複數個金屬層(6)，用以填滿該複數個通道孔，俾使其上端連接於該固定電位配線層之下表面，

其中接觸該底層基板之該主表面之該複數個絕緣層中之一層，係形成於該

底層基板上，而該金屬層之下端係接觸於該底層基板之該主表面，並且

另一絕緣層堆疊於該接觸於該底層基板之主表面的絕緣層上，而該金屬層之下端係接觸於該絕緣層之該固定電位配線層之上表面。

5.

2. 如申請專利範圍第1項之半導體晶片模組用之多層電路基板，其中該絕緣層係由有機樹脂所形成之有機樹脂片。

10.

3. 如申請專利範圍第2項之半導體晶片模組用之多層電路基板，其中該有機樹脂片係由聚醯亞胺所形成。

15.

4. 如申請專利範圍第1項之半導體晶片模組用之多層電路基板，其中該金屬材料、該複數個配線層、與填滿該複數個通道孔之該複數個金屬層皆由銅所形成。

5.

5. 如申請專利範圍第4項之半導體晶片模組用之多層電路基板，其中金屬用於該複數個銅金屬層之下端，該複數個

20.

銅金屬層填滿該複數個通道孔。

6. 如申請專利範圍第1項之半導體晶片模組用之多層電路基板，其中該底層基板係由金屬板所形成之引線框。
7. 如申請專利範圍第6項之半導體晶片模組用之多層電路基板，其中該引線框係由銅板所形成。
8. 如申請專利範圍第1項之半導體晶片模組用之多層電路基板，其中該底層基板係由具有位於主表面上之金屬膜的陶瓷板所形成。
9. 一種半導體晶片模組用之多層電路基板之製造方法，包含下列步驟：  
準備一底層基板(1)，該底層基板具有由一金屬材料所形成之主表面；  
準備複數個絕緣層(2，3)，以形成複數個通道孔(5)於該複數個絕緣層中之特定的位置上，透過該複數個絕緣層而延伸出；  
以複數個金屬層(6)填滿形成於該數個絕緣層中之該複數個通道孔；  
形成複數個配線層，該複數個配線層包含複數個固定電位配線層(4)，該複數個固定電位配線層連接至該複數個金屬層之上端，該複數個金屬層位於該複數個絕緣層上；以及  
堆疊且同時壓縮接合在該底層基板之該主表面上之該複數個絕緣層，而用以填滿該複數個絕緣層中之一層的該通道孔之該金屬層之下端係，接觸於該固定電位配線層之上表面，該複數個絕緣層係形成於具有該固定電位配線層之另一絕緣層上，  
其中填滿該通道孔之該金屬層之下端係連接於底層基板之該主表面。
10. 如申請專利範圍第9項之半導體晶片模組用之多層電路基板之製造方法，其中該金屬材料、該複數個配線層、與填滿該複數個通道孔之該複數個金屬層皆由銅所形成。

11. 如申請專利範圍第9項之半導體晶片模組用之多層電路基板之製造方法，更包含下列步驟：以該金屬層填滿該每一個通道孔，使該金屬層之下端突出該通道孔，以及在該同時壓縮接合中，使該金屬層之該突出下端連接於該固定電位配線層之上表面，該固定電位配線層係位於連接目標端上。
12. 如申請專利範圍第10項之半導體晶片模組用之多層電路基板之製造方法，更包含下列步驟：在該銅金屬層填滿該每一個通道孔之後，形成一金薄膜於該用以填充之金屬層之下端上，在該同時壓縮接合中，使該金屬層之下端與該銅固定電位配線層間之該薄膜形成一金銅合金，其中該銅固定電位配線層接觸於該金屬層之下端、以及藉由該合金而連接該金屬層之下端與該銅固定電位配線層。
20. 圖式簡單說明：  
第一圖之剖面圖係顯示，依據本發明一實施例之半導體晶片模組用多層電路基板之結構；  
第二圖之剖面圖係顯示，電流流至GND端子，該GND端子係位於依據本發明實施例之半導體晶片模組用多層電路基板中；  
第三圖A至第三圖E之剖面圖係分別顯示，依據本發明實施例之半導體晶片模組用多層電路基板之製造步驟，其中第三圖A顯示準備材料之步驟，第三圖B顯示在每一層中形成通道孔之步驟，第三圖C顯示以金屬填滿通道孔之步驟，第三圖D顯示形成配線圖案之步驟，且第三圖E顯示堆疊/壓縮接合步驟；  
第四圖A與第四圖B之剖面圖係分別顯示，在依據本發明實施例之半導體晶片模組用多層電路基板之製造方法中，連接方法之一例子，其中第四圖A
- 5.
- 10.
- 15.
- 25.
- 30.
- 35.
- 40.

(3)

5

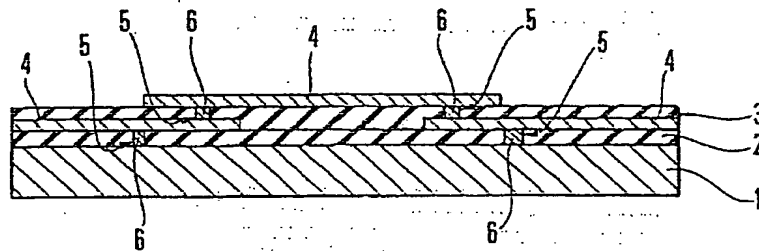
6

顯示壓縮接合前之連接方法，且第四圖 B 顯示壓縮接合後之連接方法；

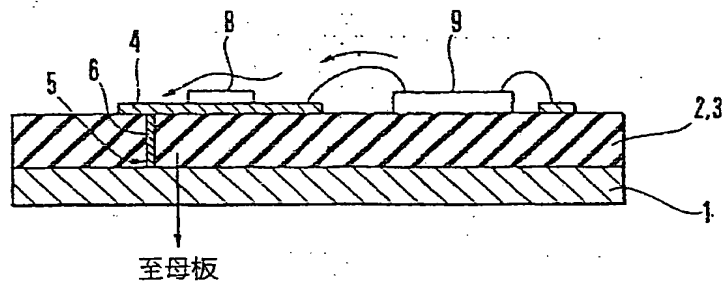
第五圖 A 與第五圖 B 之剖面圖係分別顯示，在依據本發明實施例之半導體晶片模組用多層電路基板之製造方法中，連接方法之另一例子，其中第五圖 A 顯示壓縮接合前之連接方法，且第五圖 B 顯示壓縮接合後之連接方法；

第六圖之剖面圖係顯示，依據本發明另一實施例之半導體晶片模組用多層電路基板之結構；以及

5. 第七圖 A 與第七圖 B 係顯示先前技術，其中第七圖 A 之透視圖係顯示先前技術之整體結構，且第七圖 B 係沿著第七圖 A 中線 A-A 之剖面圖，顯示電流流至 GND 端子。

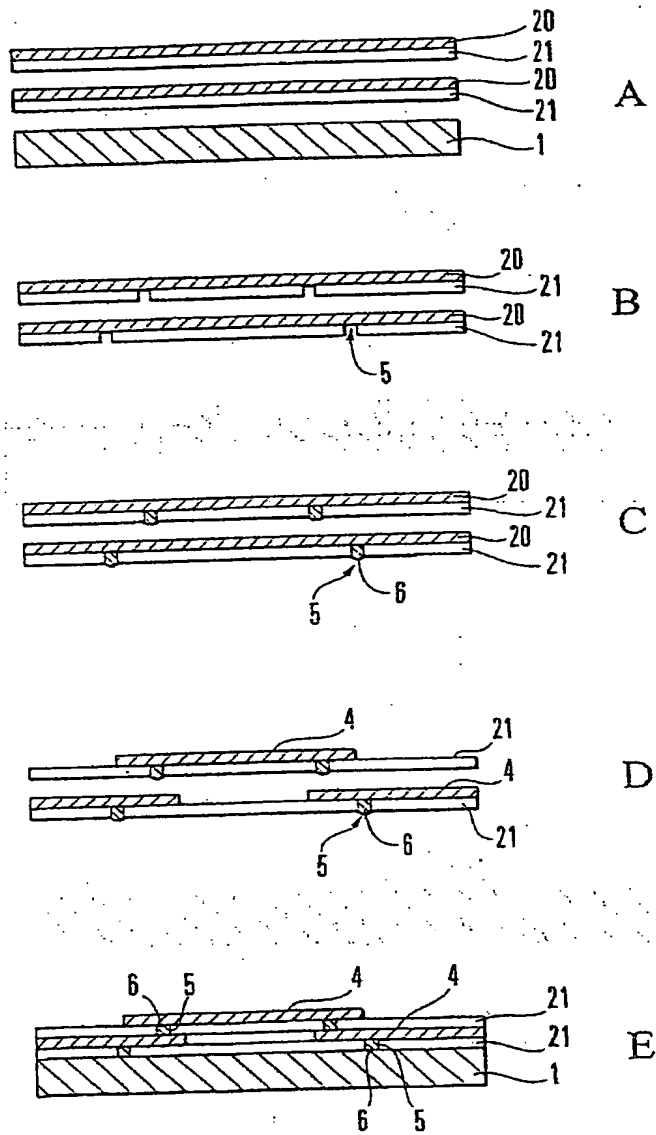


第一圖



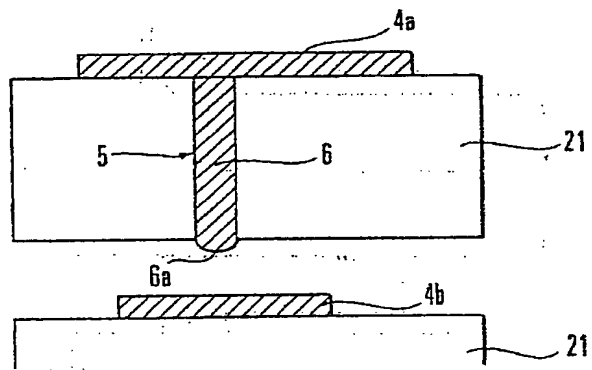
第二圖

(4)

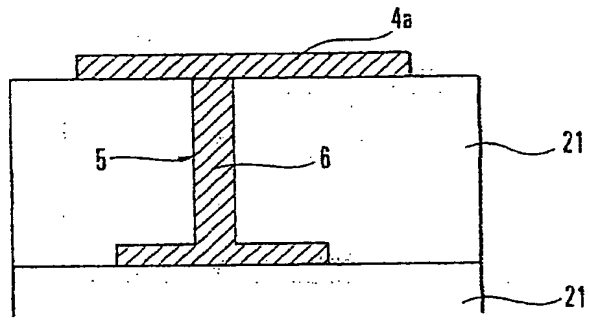


第三圖

(5)



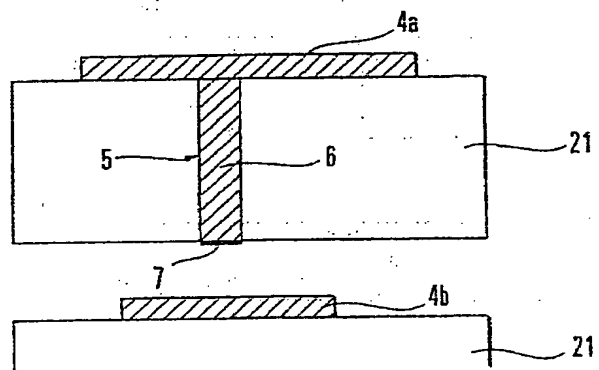
A



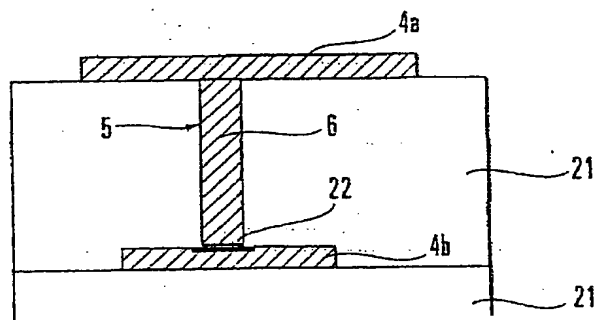
B

第四圖

(6)



A

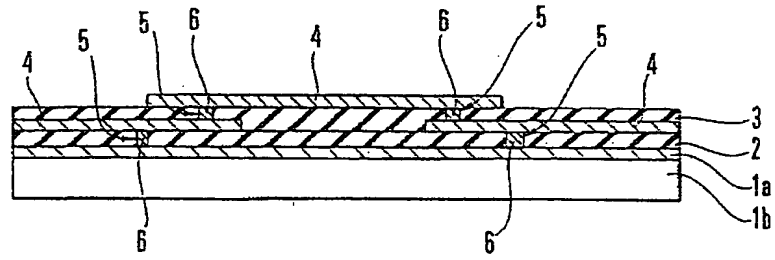


B

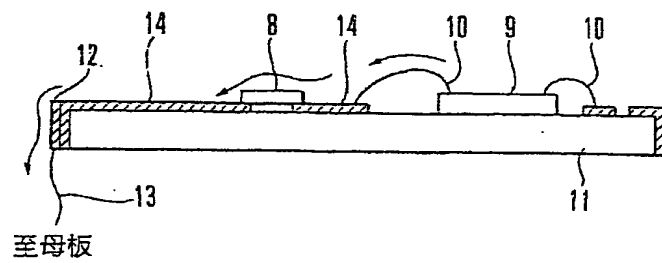
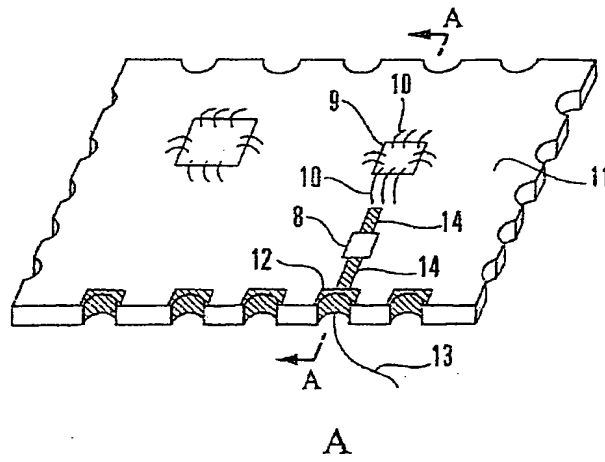
第五圖



(7)



第六圖



B

第七圖